

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2894442号

(45)発行日 平成11年(1999) 5月24日

(24)登録日 平成11年(1999) 3月5日

(51)Int.Cl.<sup>6</sup>

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

H

E

請求項の数27(全 12 頁)

(21)出願番号 特願平9-229011  
(22)出願日 平成9年(1997) 8月26日  
(65)公開番号 特開平11-68779  
(43)公開日 平成11年(1999) 3月9日  
審査請求日 平成9年(1997) 8月26日

(73)特許権者 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 八木 章好  
東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
(74)代理人 弁理士 宮田 金雄 (外2名)

審査官 稲葉 和生

(56)参考文献 特開 平7-254904 (J P, A)  
特開 平4-360340 (J P, A)  
特開 平4-316241 (J P, A)  
特開 平4-157946 (J P, A)  
NTT R&D, Vol. 46, No.  
11, p. 1181-1188

最終頁に続く

(54)【発明の名称】 可変長ショートセル・スイッチ

1

(57)【特許請求の範囲】

【請求項1】 固定長のATMセルよりも短い可変長のショートセルが乗り合うショートセルバスと、このショートセルバスに接続されたショートセルバス制御部・アービタ部と、このショートセルバス制御部・アービタ部に上記ショートセルバスを介して接続された複数の回線・端末インタフェース部または共通トランク部とを備え、上記回線・端末インタフェース部は外部との入出力を行うインタフェース終端処理とインタフェースフォーマットから可変長ショートセルフォーマットへの変換またはその逆の変換を行うインタフェース処理回路と、上記ショートセルバス制御部・アービタ部の制御の下で上記インタフェース処理回路からの可変長のショートセルを上記ショートセルバスへ出力したり、上記ショート

2

セルバスからデータを受信して上記インタフェース処理回路へ出力したりすることによりショートセルスイッチングを実現する第1のショートセルスイッチ回路とを備え、上記共通トランク部はハンドオーバー処理など回線端末インタフェース単位ではなく共通的に処理することが望ましい処理を集中的に処理する共通トランク処理回路と、上記ショートセルバス制御部・アービタ部の制御の下で、上記共通処理回路からのデータを上記ショートセルバスへ出力したり、上記ショートセルバスからデータを受信して上記共通処理回路へ出力したりすることによりショートセルスイッチングを実現する第2のショートセルスイッチ回路とを備え、上記第1または第2のショートセルスイッチ回路は、可変長ショートセルのヘッダに書き込まれたショートセルコネクション識別子情報にもとづき相手先にスイッチン

## 3

グするための入力側回路と出力側回路と、バス送出・受信ショートセルのバスタイミング制御回路とを備え、上記入力側回路は、

外部から入力される可変長ショートセルの入力方路情報と上記入力ショートセルコネクション識別子情報から相手先の出方路情報と出力ショートセルコネクション識別子情報とQoS (Quality of Service) クラス情報に変換する入力アドレス変換テーブル回路と、

入力アドレス変換テーブル回路を介して入力した入力ショートセルをQoSクラスに応じて分離する入方路QoSクラス分離部と、

QoSクラス毎に設けられ、上記入方路QoSクラス分離部によって振り分けられた入力ショートセルを対応するQoSクラスに格納する入力ショートセルバッファと、

QoSクラスに応じて優先制御を行い、入方路QoSクラス多重部へ出力するバス送出制御回路と、

バス送出制御回路からのショートセルをQoSクラスで多重して上記ショートセルバスへ出力する入方路QoSクラス多重部とを備え、

上記出力側回路は、

上記ショートセルバス上に出力された可変長のショートセルの内から、出方路情報と出力ショートセルコネクション識別子情報により、自分宛ての出力ショートセルのみを選択するアドレスフィルタと、

アドレスフィルタで選択された出力ショートセルをQoSクラスに応じて分離する出方路QoSクラス分離部と、

QoSクラス毎に設けられ、上記出方路QoSクラス分離部によって振り分けられた出力ショートセルを対応するQoSクラスに格納する出力ショートセルバッファと、

出力ショートセルバッファに格納された出方路ショートセルを読み出してQoSクラスで多重する出方路QoSクラス多重部と、

この多重された出方路ショートセルを自分宛ての出方路情報と出力ショートセルコネクション識別子情報とQoSクラス情報から出力方路情報と上記出力ショートセルコネクション識別子情報に変換して外部へ出力する出力アドレス変換テーブル回路とを備えたことを特徴とする可変長ショートセル・スイッチ。

【請求項2】 回線・端末インタフェース部あるいは共通トランク部は、ショートセルバスへ可変長のショートセルを送出する場合に、ショートセルヘッダ内のショートセル長あるいはタイミングに余裕を持たせるため前もって又は同時に別個のバスあるいは個別線でショートセル長をショートセルバス制御部・アービタ部に申告し、このショートセルバス制御部・アービタ部は上記申請されたショートセル長に基づき、ショートセル周期を生成

## 4

し、このショートセル周期の期間にバス送出許可を上記回線・端末インタフェース部あるいは共通トランク部に与えることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項3】 ショートセルバスへのショートセルの送出の調停の順序として回線・端末インタフェース部あるいは共通トランク部が要求を出し、ショートセルバス制御部・アービタ部が上記要求に対して送出許可を出すことを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項4】 ショートセルバスへのショートセルの送出の調停の順序としてショートセルバス制御部・アービタ部が複数の回線・端末インタフェース部あるいは複数の共通トランク部の内から特定のものを指定して送出指示を出すことを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項5】 ショートセルバスへのショートセルの送出の調停の決定方式はスロットの実装位置により自動的に優先順位が決定するデージーチェーン方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項6】 ショートセルバスへのショートセルの送出の調停の決定方式は、ショートセルバス制御部・アービタ部が順番に従い送出権を回線・端末インタフェース部あるいは共通トランク部に与え、それぞれが順送りされ各回線・端末インタフェース部あるいは共通トランク部は自分の順番が過ぎた直後では一回りするまで待つ必要があるが公平なラウンドロビン方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項7】 ショートセルバスへのショートセルの送出の調停の決定方式はショートセルバス制御部・アービタ部が固定的に優先順位をつけ、優先順位の高いものから送出権を与えていく固定優先順位方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項8】 ショートセルバスへのショートセルの送出の調停の決定方式は固定優先順位のパターンを複数種類持ち、ショートセルバス制御部・アービタ部がこのパターンを状況に応じて切り替える切り替え固定優先順位方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項9】 ショートセルバスへのショートセルの送出の調停の決定方式は優先順位の変更が可能な可変優先順位方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項10】 ショートセルバスへのショートセルの送出の調停の決定方式は送出権を順送りしながら送信するサイクル中での上記送出権の与えられる回数が送信元である回線・端末インタフェース部あるいは共通トラン

## 5

ク部により異なる重みづけサイクル方式を用いることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項11】 ショートセルバスへのショートセルの送出の調停の決定方式は重みづけサイクルの変更が可能な可変重みづけサイクル方式を用いることを特徴とする請求項10記載の可変長ショートセル・スイッチ。

【請求項12】 ショートセルバスへのショートセルの送出の調停の決定方式は複数の優先順位を持つ場合、ショートセル長により優先順位を切り替えたり、上記ショートセル長により上記ショートセルの送出順番をずらしたりとばしたりすることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項13】 入力ショートセルバッファのたまり具合により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更したりすることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項14】 入力ショートセルバッファのたまり時間により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更したりすることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項15】 入力ショートセルバッファでのショートセルの廃棄数または廃棄率により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更したりすることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項16】 低速音声圧縮レートにより可変長ショートセルのセル長に偏りがある場合にその偏ったセル長のパターンをコード化することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項17】 ショートセルバス制御部・アービタ部はショートセル周期パルスを出力したり、入力したショートセル長をそのまま出力したり、ショートセル長をコードで表し出力したりして、ショートセル周期パルスあるいはその指示信号を出力することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項18】 入出力ショートセルバッファあるいはそれぞれの論理的な送信キューを入・出方路情報とQoS (Quality of Service) クラス毎に持つことを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項19】 入出力バッファを論理的に、QoSクラス毎のFIFOで構成することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項20】 入出力バッファをそれぞれ共通、あるいはすべて共通バッファで構成し、それぞれのQoSクラス毎に論理的な送信キューをもち、空きバッファ管理

## 6

を行うことを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項21】 ショートセルタイミング周期生成において、一定周期（例えば8KHzのフレームタイミングまたはその倍数あるいは、10mSのタイミングあるいはその倍数）で、必ず、ショートセルの先頭が来るように制御し、一定周期の最後にダミーのパディングを挿入し、調整することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

10 【請求項22】 ショートセルタイミング周期生成において、一定周期（例えば8KHzのフレームタイミングまたはその倍数あるいは、10mSのタイミングあるいはその倍数）で、必ず、ショートセルの先頭が来るように制御し、一定周期の最後にダミーのアイドルショートセルを挿入し、調整することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

20 【請求項23】 ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなった場合でも、ショートセルバス制御部・アービタ部は上記周期の残りの領域へダミーのパディングまたはアイドルショートセルを挿入し、調整することを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項24】 ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなった後に、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部は次の一定周期までショートセルのショートセルバスへの送出を待たせることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

30 【請求項25】 ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなった後に、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部はパディングまたは、アイドルショートセルの挿入を打ち切ることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項26】 入出力バッファがオーバフロー状態またはそれに近い状態になった場合、ショートセルバス制御部・アービタ部は強制的にQoSクラスやバッファたまり時間を制御したり、新たに発生したショートセルを廃棄したりすることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【請求項27】 出力バッファがオーバフロー状態またはそれに近い状態になった場合、送出側はショートセルをショートセルバスへ送出することを見合わせることを特徴とする請求項1記載の可変長ショートセル・スイッチ。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】本発明は、デジタル自動車

電話システムや携帯電話システムのような移動体通信システムなどに見られるATM (Asynchronous Transfer Mode) 通信において低速音声通信などに用いられる可変長のショートセルのスイッチングを行う可変長ショートセルスイッチに関する。

#### 【0002】

【従来の技術】 ATM通信において、低速音声（低速音声とは、64Kbpsの音声信号を圧縮することにより作られた32Kbps、16Kbps、8Kbpsなどの低速な圧縮音声信号をいう）などで大きくなりがちな遅延を低く抑制するため、この低速音声信号をセルより長さが短い可変長のショートセルとして扱うことがあるが既存のATMスイッチは可変長のショートセルをそのままスイッチングできないため、1つのショートセルを1つのATMセルのペイロードに収容し、ペイロードの残りの部分はダミーのパディングを挿入するパシカルフィルや、複数の同一相手先のショートセルを1つのATMセルのペイロードに多重し、ATMスイッチングを行う方法などがある。

【0003】 図7は例えば、特開平5-30131号公報に示されている従来のバス型セルスイッチの構成を示すブロック図であり、このバス型セルスイッチは固定長のパケットであるセルをスイッチングするものである。図7において、101はセルが乗り合うセルバス、201はセルバス上のセルの入出力を制御するセルバス制御部、301~30nは回線・端末インタフェース部、51はセルのスイッチングを行うセルスイッチ回路、6はインタフェース処理回路、7は外部インタフェースである。

【0004】 次に、図7に示した従来のバス型セルスイッチの動作について説明する。複数の回線・端末インタフェース部301~30nに共通に接続されたセルバス101によって複数の回線・端末インタフェース部301~30n間でデータ（セルともいう）の交換接続が行なわれる。

【0005】 例えば、まず、回線・端末インタフェース部301において、外部インタフェース7から入力されたデータ（セル）はインタフェース処理回路6によって受信処理された後、セルスイッチ回路51によってセルバス制御部201の指示に従いセルバス101に出力される。そして各回線・端末インタフェース部301~30nはセルバス101上に出力させたセルのヘッダに書き込まれたアドレスと自分のアドレスとを照合することにより、自分宛てのセルのみをセルスイッチ回路51が受信し、インタフェース処理回路6を経て当該セルを外部インタフェース7へ出力する。

#### 【0006】

【発明が解決しようとする課題】 従来のバス型セルスイッチは上記のように構成されていたので、圧縮された低速音声などをセル化すると、セルのペイロード長分蓄積

するのに時間がかかり、セル化遅延が大きくなってしまったという問題点があった。

【0007】 また、遅延を低く抑制するために、低速音声などを可変長のショートセルとして扱おうと、1つのショートセルを1つのATMセルのペイロードに収容し、ペイロードの残りの部分はダミーのパディングを挿入するパシカルフィルとするか、あるいは複数の同一相手先のショートセルを1つのATMセルのペイロードに多重してから、ATMスイッチングを行うため、スイッチング容量、バッファの使用効率が悪くなったり、スイッチング遅延が大きくなったりするという問題点があった。

【0008】 この発明はこのような問題点を解決するために為されたものであり、ATM通信において、低速音声などを効率よく、しかも低遅延でスイッチングさせる可変長ショートセルスイッチを実現させることを目的とする。

#### 【0009】

【課題を解決するための手段】 第1の発明に係る可変長ショートセルスイッチは、可変長のショートセルにおいて、H/W主体でショートセル単位にバッファリング、スイッチングを行うバス型可変長ショートセルスイッチを実現するものである。

【0010】 第2の発明に係る可変長ショートセルスイッチは、ショートセルバス制御部・アービタ部が回線・端末インタフェース部あるいは共通トランク部に対して可変長ショートセルのバス帯域を必要な分だけダイナミックに割り当てるものである。

【0011】 第3の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の手段として回線・端末インタフェース部あるいは共通トランク部が要求を出し、ショートセルバス制御部・アービタ部がこの要求に対して送出許可を出すものである。

【0012】 第4の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の手段としてショートセルバス制御部・アービタ部が複数の回線・端末インタフェース部あるいは複数の共通トランク部の内から特定のものを指定して送出指示を出すものである。

【0013】 第5の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式はスロットの実装位置により自動的に優先順位が決定するデージチェーン方式を用いるものである。

【0014】 第6の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は、ショートセルバス制御部・アービタ部が順番に従い送出権を回線・端末インタフェース部あるいは共通トランク部に与え、それぞれが順送りされ各回

線・端末インタフェース部あるいは共通トランク部は自分の順番が過ぎた直後では一回りするまで待つ必要があるが公平なラウンドロビン方式を用いるものである。

【0015】第7の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式はショートセルバス制御部・アービタ部が固定的に優先順位をつけ、優先順位の高いものから送出権を与えていく固定優先順位方式を用いるものである。

【0016】第8の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は固定優先順位のパターンを複数種類持ち、セルバス制御部・アービタ部がこのパターンを状況に応じて切り替える切り替え固定優先順位方式を用いるものである。

【0017】第9の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は優先順位の変更が可能な可変優先順位方式を用いるものである。

【0018】第10の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は送出権を順送りしながら送信するサイクル中での送出権の与えられる回数が送信元である回線・端末インタフェース部あるいは共通トランク部により異なる重みづけサイクル方式を用いるものである。

【0019】第11の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は重みづけサイクルの変更が可能な可変重みづけサイクル方式を用いるものである。

【0020】第12の発明に係る可変長ショートセルスイッチは、ショートセルバスへのショートセルの送出の調停の決定方式は複数の優先順位を持つ場合、ショートセル長により優先順位を切り替えたり、ショートセル長により上記ショートセルの送出順番をずらしたり、とばしたりするものである。

【0021】第13の発明に係る可変長ショートセルスイッチは、入力ショートセルバッファのたまり具合により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更したりするものである。

【0022】第14の発明に係る可変長ショートセルスイッチは、入力ショートセルバッファのたまり時間により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更するものである。

【0023】第15の発明に係る可変長ショートセルスイッチは、入力ショートセルバッファでのショートセルの廃棄数または廃棄率により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重みづけ等を変更したりするものである。

【0024】第16の発明に係る可変長ショートセルス

イッチは、低速音声圧縮レートにより可変長ショートセルのセル長に偏りがある場合にその偏ったセル長のパターンをコード化するものである。

【0025】第17の発明に係る可変長ショートセルスイッチは、ショートセルバス制御部・アービタ部がショートセル周期パルスを出したり、入力したショートセル長をそのまま出したり、ショートセル長をコード化したりして、ショートセル周期パルスあるいはその指示信号を出力するものである。

【0026】第18の発明に係る可変長ショートセルスイッチは、入出力ショートセルバッファあるいはそれぞれの論理的な送信キューを入・出方路情報とQoS (Quality of Service) クラス毎に持つものである。

【0027】第19の発明に係る可変長ショートセルスイッチは、入出力バッファを論理的に、QoS クラス毎のFIFOで構成するものである。

【0028】第20の発明に係る可変長ショートセルスイッチは、入出力バッファをそれぞれ共通、あるいはすべて共通バッファで構成し、それぞれのQoS クラス毎に論理的な送信キューをもち、空きバッファ管理を行うものである。

【0029】第21の発明に係る可変長ショートセルスイッチは、ショートセルタイミング周期生成において、一定周期 (例えば8KHzのフレームタイミングまたはその倍数あるいは、10mSのタイミングあるいはその倍数) で、必ず、ショートセルの先頭が来るように制御し、一定周期の最後にダミーのパディングを挿入し、調整するものである。

【0030】第22の発明に係る可変長ショートセルスイッチは、ショートセルタイミング周期生成において、一定周期 (例えば8KHzのフレームタイミングまたはその倍数あるいは、10mSのタイミングあるいはその倍数) で、必ず、ショートセルの先頭が来るように制御し、一定周期の最後にダミーのアイドルショートセルを挿入し、調整するものである。

【0031】第23の発明に係る可変長ショートセルスイッチは、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなった場合でも、ショートセルバス制御部・アービタ部が上記周期の残りの領域へダミーのパディングまたはアイドルショートセルを挿入し、調整するものである。

【0032】第24の発明に係る可変長ショートセルスイッチは、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなったときに、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部が次の一定周期まで上記ショートセルの上記ショートセルバスへの送出を待たせるものである。

【0033】第25の発明に係る可変長ショートセルス

イッチは、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなったときに、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部はパディングまたは、アイドルショートセルの挿入を打ち切るものである。

【0034】第26の発明に係る可変長ショートセルスイッチは、入出力バッファがオーバーフロー状態またはそれに近い状態になった場合、ショートセルバス制御部・アービタ部は強制的にQoSクラスやバッファたまり時間を制御したり、新たに発生したショートセルを廃棄したりするものである。

【0035】第27の発明に係る可変長ショートセルスイッチは、出力バッファがオーバーフロー状態またはそれに近い状態になった場合、送出側はショートセルをショートセルバスへ送出することを見合わせるものである。

#### 【0036】

##### 【発明の実施の形態】

実施の形態1. 図1は本発明に係るバス型ショートセルスイッチの構成の一実施の形態を示すブロック図である。この実施の形態では、データをセル単位ではなくセルよりも短い長さを持ち、可変長のショートセルを単位として取り扱うものである。図2は図1に示すバス型ショートセルスイッチの詳細構成を示すブロック図である。また、図3は可変長であるショートセルの配列状態を示す説明図である。また、図4はショートセルのフォーマット構成例を示す構成図である。以下、図1、図2を用いて本発明に係る可変長ショートセル・スイッチの一実施の形態を説明する。

【0037】本発明に係るバス型ショートセルスイッチは、外部との入出力を行うインタフェース終端処理とインタフェースフォーマットから可変長ショートセルフォーマットへの変換またはその逆の変換を行うインタフェース処理回路6とショートセルスイッチ回路5とを備える回線・端末インタフェース部301~30nあるいは、ハンドオーバー処理など回線端末インタフェース単位ではなく共通的に処理することが望ましい処理を集中的に処理する共通トランク処理回路8とショートセルスイッチ回路5とを備える共通トランク部401~40nからの可変長のショートセルをショートセルバス制御部・アービタ部2からの指示に従い、上り下り共用であるショートセルバス1上に送出し、異なる、あるいは同一の回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nがショートセルバス制御部・アービタ部2からの指示に従い、ショートセルバス1上からショートセルを受信することによりスイッチングを行う。

【0038】この構成により、ショートセルバス1にショートセルを出力した回線・端末インタフェース部301~30nあるいは、共通トランク部401~40n自

身が上記ショートセルを受信する折り返しも可能である。また、複数あるいは全ての回線・端末インタフェース部301~30nあるいは、複数あるいは全ての共通トランク部401~40nがショートセルを受信するマルチキャスト・ブロードキャストも可能である。

【0039】まず、図2に示す入力側回路11において、入力アドレス変換・テーブル回路12は、図3、4に示す入力ショートセル17の入力方路情報とショートセルヘッダ内の入力ショートセルコネクション識別子とを装置内のスイッチングアドレス（QoSクラス情報を含む）に変換する。

【0040】次に、このスイッチングアドレスを基にして入方路・QoSクラス分離部13がショートセルを入方路・QoSクラスに応じて分離して入力ショートセルバッファ14に入方路・QoSクラス毎に格納する。次に、バス送出制御・優先制御回路15は、ショートセルバス1へショートセルの送出を行うわけであるが、各回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nが勝手にショートセルバス1へショートセルの送出を行っては衝突が発生してしまうため、この衝突が発生しないようにショートセルバス制御・アービタ部2が調停を行う。

【0041】調停の手順は例えば、(1)各回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nが要求を出しショートセルバス制御・アービタ部2がこの要求に対して送出許可を出すリクエスト方式、(2)ショートセルバス制御・アービタ部2が回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nの中から特定のものを指定して送出指示を出す指名方式などがある。

【0042】また調停の決定方式には(1)スロットの実装位置により優先順位が自動的に決定されるデジタリゼーション方式、(2)ショートセルバス制御・アービタ部2が回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nに対して順番に従い送出権を与え、この送出権が順送りされ各回線・端末インタフェース部あるいは、共通トランク部は自分の順番が過ぎた直後では一回りするまで待つ必要があるが公平なラウンドロビン方式、(3)ショートセルバス制御・アービタ部2が固定的に優先順位をつけ優先順位の低いものから送出権を与えていく固定優先順位方式、(4)固定優先順位のパターンを複数種類持ち状況に応じてそのパターンを切り替える切り替え固定優先順位方式、

(5)さらに優先順位を変更可能に構成し状況に応じて優先順位を変更する可変優先順位方式、(6)サイクルに従い順送りしながら送信することはラウンドロビン方式と同様であるが、優先順位・帯域に応じて重み付けを行い、サイクル中での送出権の与えられる回数が送信元により異なる重みづけサイクル方式、(7)さらに重みづけサイクルを変更可能なように構成し状況に応じ重み

づけサイクルを変更する可変重みづけサイクル方式などがあり、調停方式はそのシステムにより調停手順(1)~(2)と調停の決定方法(1)~(7)との組み合わせにより柔軟に構成できる。

【0043】そして上記(4)切り替え固定優先順位方式、(5)可変優先順位方式および(7)可変重みづけサイクル方式において入力ショートセルバッファ(あるいは出力ショートセルバッファ)のバッファのたまり具合、バッファへのたまり時間、さらにショートセル廃棄数や廃棄率により、固定優先順位のパターンの切り替え、優先順位の切り替え、および重みづけサイクルを切り替えることにより、ショートセルバスの帯域と入力ショートセルバッファ(あるいは出力ショートセルバッファ)容量を有効に使用して効率的で柔軟なショートセルスイッチを実現することができる。

【0044】また、入力ショートセルバッファあるいは出力ショートセルバッファがオーバーフロー状態、またはそれに近い状態になった場合、強制的にQoSクラスやバッファたまり時間を調節したり、新しく発生(送出可能となった)したショートセルを廃棄したりすることによりバッファのオーバーフローを抑制するように制御してもよい。

【0045】また、出力ショートセルバッファがオーバーフロー状態、またはそれに近い状態になった場合、送出側であえてショートセルバスへの送出を見送り(それによりダミーのパディングまたはアイドルショートセルの挿入が起こる場合もある)、バッファのオーバーフローを抑制するように制御してもよい。

【0046】さらに、上記方法によりショートセルバス1への送出権を得た送出元である回線・端末インタフェース部301~30nあるいは、共通トランク部401~40nは該当ショートセルのショートセル長をショートセルバス制御・アービタ部2へ出力する。送信元がショートセル長をショートセルバス制御・アービタ部2に伝える方法として、該当ショートセルヘッダ内のショートセル長(図4でショートセルペイロード長と示されているものがショートセル長である)そのものを用いる方法と、タイミングに余裕を持たせて、ショートセルバス制御・アービタ部2で処理しやすように該当ショートセルヘッダ内のショートセル長とは別にバスまたは個別線により前もって該当ショートセルのショートセル長を出力してもよい。あるいは、同時に出力してもよい。

【0047】また、ショートセル長を低速音声に限定すると圧縮方法により特定のショートセル長に集中する場合があります、その特性を生かし、いくつかのショートセル長のパターンに絞り、そのパターンをコード化したショートセル長情報でも同様の効果が得られる。

【0048】なお、例えば、ショートセル長により複数の優先順位を持つ場合やショートセル長が大きい場合には優先順位を下げる方式やショートセルバスへの送出順

番をずらしたり、とばしたりするなど、ショートセル長を調停の決定に用いることも本発明の範疇である。

【0049】ショートセルバス制御・アービタ部2は、受信したショートセル長に基づき、ショートセル長周期を決定し、ショートセル周期に基づいた送出指示または、ショートセル周期信号を出力する。

【0050】あるいはショートセル長、コード化されたショートセル長でも同様の効果がある。

【0051】ショートセルバス1への送出権を得た送出元は、該当のショートセルを入方路・QoSクラス多重部16を介して、ショートセルバス1へ送出する。

【0052】そのとき、バスタイミング制御回路31はショートセルバス制御・アービタ部2からのショートセル長周期に基づいた送出指示あるいはショートセル周期信号によりショートセルをショートセルバス1へ送出する。

【0053】一方、出力側回路21では、バスタイミング制御部31がショートセルバス制御・アービタ部2からのショートセル長周期に基づいた送出指示あるいはショートセル周期信号によりショートセルバス1からショートセルを入力し、そのショートセルのスイッチングアドレスをスイッチング情報として受信すべきアドレスが設定されているアドレスフィルタ22を通すことによりアドレスが一致している場合はコネクションを設定し、コネクションが設定されているショートセルのみ受信する。

【0054】受信したショートセルを出方路・QoSクラス分離部23が分離して出力ショートセルバッファ24に出方路・QoSクラス毎に格納する。この出力ショートセルバッファ24に格納されたショートセルは出力要求に応じて、出方路・QoSクラス多重部25を介して多重され、出力アドレス変換テーブル26はスイッチングアドレスを出方路情報および出力ショートセルコネクション識別子に変換し、出力ショートセル27として送信する。

【0055】ここで、入力ショートセルバッファ、出力ショートセルバッファを論理的に、QoSクラス毎のFIFOで構成してもよい。これにより、効率のよい可変長ショートセルスイッチを容易に実現できる。

【0056】また、入力ショートセルバッファ、出力ショートセルバッファのそれぞれを共通バッファで、あるいはすべて共通バッファで構成し、それぞれのQoSクラス毎に論理的な送信キューをもち、空きバッファ管理を行うことにより、特定のQoSクラス、出方路に集中した場合でも、バッファ容量を柔軟に、効率よく使用できる。

【0057】なお、本実施の形態では入力側回路11は入力アドレス変換テーブル12を用いて入力方路情報とショートセルヘッダ内の入力ショートセルコネクション識別子とをスイッチングアドレスに変換し、出力側回路



21は出力アドレス変換テーブル26を用いてスイッチングアドレスを出力方路情報と出力ショートセルコネクション識別子に変換しているが、入力側回路11が入力アドレス変換テーブル12を用いて直接、出力方路情報と出力ショートセルコネクション識別子に変換してもよい。

【0058】さらに、入力方路情報、出力方路情報がなく単一の方路の場合でも同様である。

【0059】実施の形態2. 図5は本発明に係る可変長ショートセルスイッチの別の実施の形態を示すタイミング図であり、ショートセルの周期にエラーが発生した場合にダミーのパディング挿入により一定周期復帰の方法を示すものである。また、図6は、図5と同様であるが、ショートセルの周期にエラーが発生した場合にアイドルショートセルの挿入により一定周期復帰の方法の一実施の形態を示すタイミング図である。以下、図5、図6を用いて本発明の一定周期復帰方法の一実施の形態を説明する。

【0060】ショートセルは可変長のため、本発明に係るショートセルスイッチは毎ショートセルタイミングでショートセル周期を生成することにより効率よくショートセルバス帯域を使用しているが、そのため、ショートセル周期がこわれてエラーが発生するとスイッチングでなくなる。

【0061】そこで、例えば8KHzのフレームタイミングやその倍数によるマルチフレームタイミングあるいは、10mSのタイミングやその倍数によるマルチフレームタイミングなどの一定周期で可変長のショートセルの先頭が必ず来るように制御することにより、可変長のため毎ショートセルタイミングで生成されるショートセル周期がこわれた場合でも、次の一定周期タイミングでショートセル周期復帰が容易にできる。

【0062】そして、ショートセルは可変長であるため、その一定周期に丁度ショートセルが隙間なく収まらない場合がある。このため、対策として一定周期の残りの部分には、例えば全データ"ALL 0"のパディングまたは、例えばショートセルコネクション識別子=0のアイドルショートセルを挿入することにより、次の一定周期にショートセルのまたがりが発生しないようにすることができる。

【0063】さらに、一定周期の途中で全ての端末・回線インタフェース部301~30nまたは共通トランク部401~40nからの送出ショートセルがなくなった場合でもショートセルの残りの部分にダミーのパディングまたはアイドルショートセルを挿入することにより、ショートセルバスにごみを出さずショートセル周期を正常に保持することが可能になる。

【0064】仮に一定周期の途中でパディングまたは、アイドルショートセルが挿入されたときに、回線・端末インタフェース部301~30nまたは共通トランク部

401~40nからショートセルバス1に送出するショートセルが発生した場合、パディングまたはアイドルショートセルを送出した後、次の一定周期から送出する方法か、上記パディングを打ち切ったりまたは上記アイドルショートセルの挿入を打ち切るかすることにより、ショートセルバスの帯域を有効に使用する方法を実現することができる。

【0065】

【発明の効果】第1の発明によれば、可変長ショートセルスイッチをハードウェア主体で実現するので、低速音声などを短時間で処理でき、スイッチング容量、バッファの使用効率を大幅に改善し、低遅延のスイッチングが可能となるという効果を奏する。

【0066】また、第2の発明によれば、ショートセルバス制御部・アービタ部が回線・端末インタフェース部あるいは共通トランク部に対して可変長ショートセルのバス帯域を必要な分だけダイナミックに割り当てるので、ダイナミックで柔軟にバスの帯域を使用できるという効果を奏する。

【0067】また、第3の発明によれば、ショートセルバスへのショートセルの送出の調停の手順として、リクエスト方式を用いることにより、可変長ショートセルスイッチが容易に実現できるという効果を奏する。

【0068】また、第4の発明によれば、ショートセルバスへのショートセルの送出の調停の手順として、ショートセルバスへのショートセルの送出の調停の手順としてショートセルバス制御・アービタ部が複数の回線・端末インタフェース部あるいは複数の共通トランク部の内から特定のものを指定して送出指示を出すので、ショートセルスイッチが容易に実現できるという効果を奏する。

【0069】また、第5の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、デージチェーン方式を用いるので、可変長ショートセルスイッチが容易に実現できるという効果を奏する。

【0070】また、第6の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、ラウンドロビン方式を用いるので、可変長ショートセルスイッチが容易に実現できるという効果を奏する。

【0071】また、第7の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、固定優先順位方式を用いるので、可変長ショートセルスイッチが容易に実現できるという効果を奏する。

【0072】また、第8の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、切り替え固定優先順位方式を用いることにより状況に応じて優先順位の変更が可能となり、より柔軟にバスの帯域を使用できるという効果を奏する。

【0073】また、第9の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、

可変優先順位方式を用いることにより状況に応じて優先順位の変更が可能となり、より柔軟にバスの帯域を使用できるという効果を奏する。

【0074】また、第10の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、重みづけサイクル方式を用いることにより、柔軟な帯域設定が可能となるという効果を奏する。

【0075】また、第11の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、可変重みづけサイクル方式を用いることにより、状況に応じて柔軟な帯域設定が可能となるという効果を奏する。

【0076】また、第12の発明によれば、ショートセルバスへのショートセルの送出の調停の決定方式として、複数の優先順位を持つ場合、ショートセル長により優先順位切り替えたり、ショートセル長によりショートセルの送出順番をずらしたりとばしたりすることにより、より大きなショートセル長のショートセルによりショートセルバス帯域を占有され、より短いショートセル（ショートセルバスの占有時間が短い）がショートセル

バスに送出することを圧迫しないという効果を奏する。  
【0077】また、第13の発明によれば、入力ショートセルバッファ（または出力セルバッファ）のセルのたまり具合により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重み付け等を変更したりするので、ショートセルバス帯域と入力ショートセルバッファ（または出力セルバッファ）容量を有効に使用できるという効果を奏する。

【0078】また、第14の発明によれば、入力ショートセルバッファ（または出力セルバッファ）のセルのたまり時間により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重み付け等を変更したりするので、ショートセルバス帯域と入力ショートセルバッファ（または出力セルバッファ）容量を有効に使用できるという効果を奏する。

【0079】また、第15の発明によれば、入力ショートセルバッファ（または出力セルバッファ）のセルの廃棄数や廃棄率等により優先順位を設けたり、優先順位パターンを切り替えたり、ショートセルの送出サイクルとその重み付け等を変更したりするので、ショートセルバス帯域と入力ショートセルバッファ（または出力セルバッファ）容量を有効に使用できるという効果を奏する。

【0080】また、第16の発明によれば、低速音声圧縮レートにより可変長ショートセルのセル長に偏りがある場合にその偏ったセル長のパターンをコード化するので、簡単な制御でバス帯域を必要な分だけダイナミックに割り当てることができるという効果を奏する。

【0081】また、第17の発明によれば、ショートセルバス制御部・アービタ部はショートセル周期パルスを出したり、入力したショートセル長をそのまま出力し

たり、ショートセル長をコードで表し出力したりして、ショートセル周期パルスあるいはその指示信号を出力するので、ショートセルの周期が可変でも、ショートセルを正常に送出できるという効果を奏する。

【0082】また、第18の発明によれば、入出力ショートセルバッファを論理的に入出力路毎、QoSクラス毎に持つことにより、複数の方路、複数のQoSクラスに容易に対応できるという効果を奏する。

【0083】また、第19の発明によれば、入出力バッファを論理的に、QoSクラス毎のFIFOで構成することにより、効率のよい可変長ショートセルスイッチを容易に実現できるという効果を奏する。

【0084】また、第20の発明によれば、入出力バッファをそれぞれ共通、あるいはすべて共通バッファで構成し、それぞれのQoSクラス毎に論理的な送信キューをもち、空きバッファ管理を行うので、特定のQoSクラス、出力路に集中した場合でも、バッファ容量を柔軟に、効率よく使用できるという効果を奏する。

【0085】また、第21の発明によれば、ショートセルタイミングの一定周期で必ずショートセルの先頭が来るようにし、一定周期の最後にダミーのパディングを挿入するので、一度ショートセル周期指示信号に誤りがあっても復帰でき、ショートセルの送出が再び正常に行えるという効果を奏する。

【0086】また、第22の発明によれば、ショートセルタイミングの一定周期で必ずショートセルの先頭が来るようにし、一定周期の最後にダミーのアイドルショートセルを挿入するので、一度ショートセル周期指示信号に誤りがあっても復帰でき、ショートセルの送出が再び正常に行えるという効果を奏する。

【0087】また、第23の発明によれば、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなった場合でも、ショートセルバス制御部・アービタ部は上記周期の残りの領域へダミーのパディングまたはアイドルショートセルを挿入し、調整するので、次の処理が正常に行えるという効果を奏する。

【0088】また、第24の発明によれば、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなったときに、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部は次の一定周期まで待たせるので、ショートセルを正常に送出できるという効果を奏する。

【0089】また、第25の発明によれば、ショートセルバスへ送出するショートセルの一定周期の途中でショートセルがなくなったときに、新たにショートセルバスへ送出できるショートセルが発生した場合、ショートセルバス制御部・アービタ部はパディングまたは、アイドルショートセルの挿入を打ち切るので、ショートセルを正常に送出できるという効果を奏する。

【0090】また、第26の発明によれば、入出力バッファがオーバーフロー状態またはそれに近い状態になった場合、ショートセルバス制御部・アービタ部は強制的にQoSクラスやバッファたまり時間を制御したり、新たに発生したショートセルを廃棄したりするので、入出力バッファでのオーバーフローの発生を防止できるという効果を奏する。

【0091】また、第27の発明によれば、出力バッファがオーバーフロー状態またはそれに近い状態になった場合、送出側はショートセルをショートセルバスへ送出することを見合わせるので、出力バッファでのオーバーフローの発生を防止できるという効果を奏する。

#### 【図面の簡単な説明】

【図1】 本発明に係るバス型ショートセルスイッチの構成の一実施の形態を示すブロック図である。

【図2】 図1に示すバス型ショートセルスイッチの詳細構成を示すブロック図である。

【図3】 可変長であるショートセルの配列状態を示す説明図である。

【図4】 ショートセルのフォーマット構成例を示す構成図である。

【図5】 本発明に係る可変長ショートセルスイッチの別の実施の形態を示すタイミング図である。

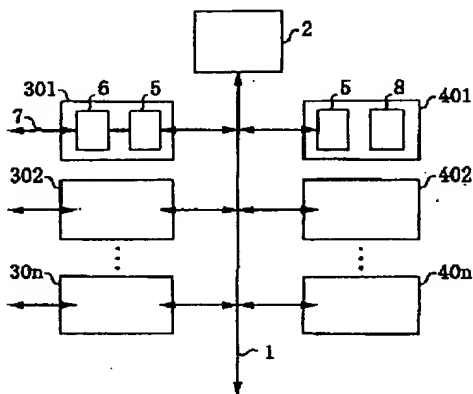
【図6】 ショートセルの周期にエラーが発生した場合にアイドルショートセルの挿入により一定周期復帰の方法の一実施の形態を示すタイミング図である。

【図7】 従来例のバス型セルスイッチの構成を示すブロック図である。

#### 【符号の説明】

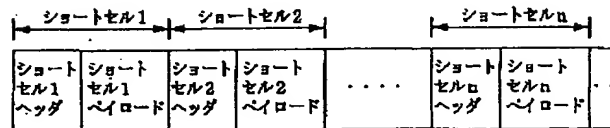
- 1 ショートセルバス
- 2 ショートセルバス制御部・アービタ部
- 5 ショートセルスイッチ回路
- 6 インタフェース処理回路
- 7 外部インタフェース
- 8 共通トランク処理回路
- 11 入力側回路
- 12 入力アドレス変換テーブル
- 13 入方路・QoSクラス分離
- 14 入力ショートセルバッファ
- 15 バス送出制御回路
- 16 入方路・QoSクラス多重
- 17 入力ショートセル
- 21 出力側回路
- 22 アドレスフィルタ
- 23 出方路・QoSクラス分離
- 24 出力ショートセルバッファ
- 25 出方路・QoSクラス多重
- 26 出力アドレス変換テーブル
- 27 出力ショートセル
- 31 バスタイミング制御回路
- 51 セルスイッチ回路
- 101 セルバス
- 201 セルバス制御部
- 301～30n 回線・端末インタフェース部
- 401～40n 共通トランク部

【図1】

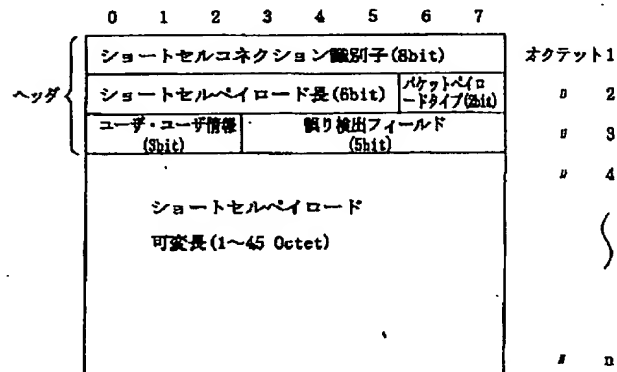


- 1. ショートセルバス
- 2. ショートセルバス制御部・アービタ部
- 301～30n. 回線・端末インタフェース部
- 401～40n. 共通トランク部
- 5. ショートセルスイッチ回路
- 6. インタフェース処理回路
- 7. 外部インタフェース
- 8. 共通トランク処理回路

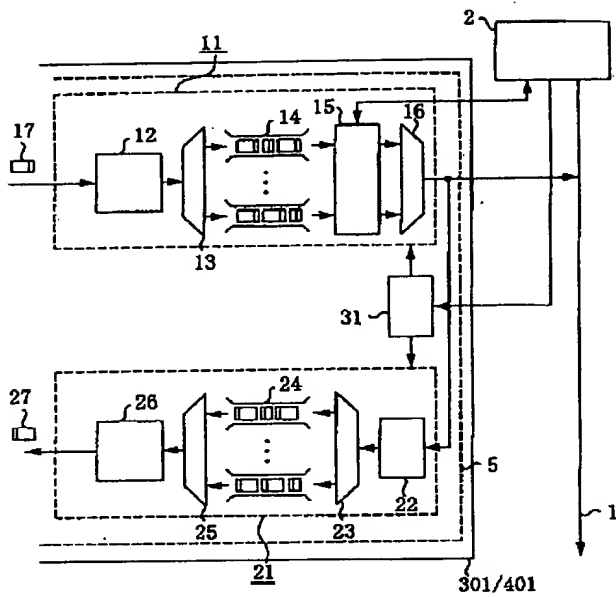
【図3】



【図4】

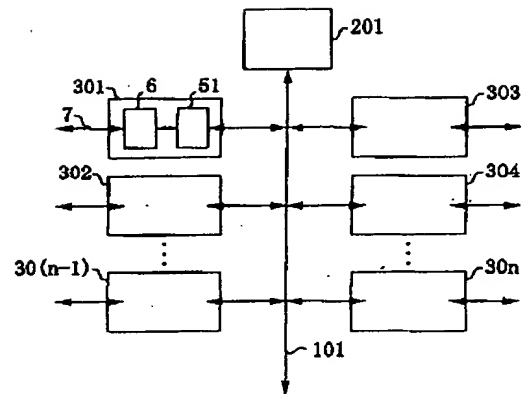


【図2】



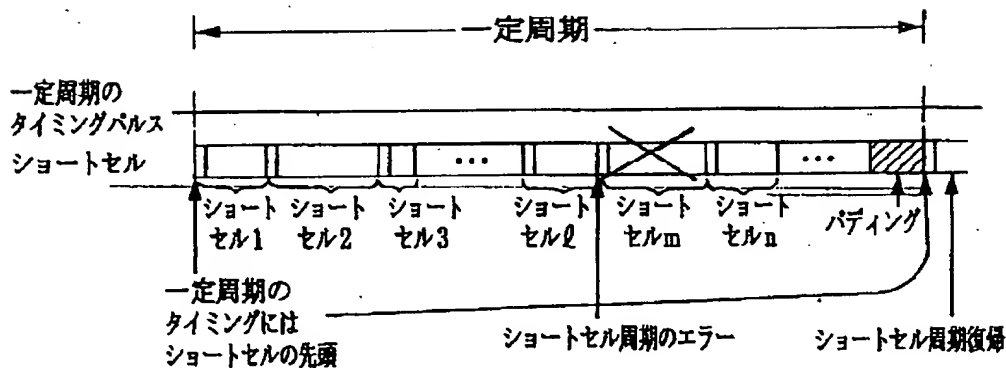
- |                      |                    |
|----------------------|--------------------|
| 1. ショートセルバス          | 17. 入力ショートセル       |
| 2. ショートセルバス制御部・アービタ部 | 21. 出力側回路          |
| 301. 回線・端末インタフェース部   | 22. アドレスフィルタ       |
| 401. 共通トランク部         | 23. 出力路・Qosクラス分離   |
| 5. ショートセルスイッチ回路      | 24. 出力ショートセルバッファ   |
| 11. 入力側回路            | 25. 出力路・Qosクラス多重   |
| 12. 入力アドレス変換テーブル回路   | 26. 出力アドレス変換テーブル回路 |
| 13. 入力路・Qosクラス分離     | 27. 出力ショートセル       |
| 14. 入力ショートセルバッファ     | 31. バスタイミング制御回路    |
| 15. バス送出制御・優先制御回路    |                    |
| 16. 入力路・Qosクラス多重     |                    |

【図7】

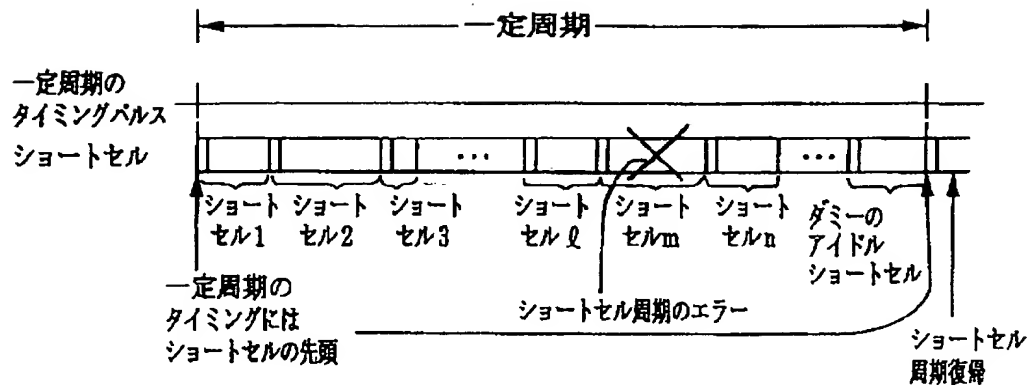


- |                        |
|------------------------|
| 101. セルバス              |
| 201. セルバス制御部           |
| 301~30n. 回線・端末インタフェース部 |
| 51. セルスイッチ回路           |
| 6. インタフェース処理回路         |
| 7. 外部インタフェース           |

【図5】



【図6】



フロントページの続き

(58) 調査した分野 (Int. Cl. 6, DB名)

H04L 12/28

H04L 12/56